

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 16 日  
Application Date

申請案號：092125534  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 29 日  
Issue Date

發文字號：09221101160  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	一種除錯裝置及其方法
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 黃宗慶 2. 林皓琳
	姓 名 (英文)	1. 2.
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓 2. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



#### 四、中文發明摘要 (發明名稱：一種除錯裝置及其方法)

本發明係有關於一種除錯裝置及其方法，此裝置包含有一中央處理器，連接一具系統管理中斷接腳之晶片組，實施方法包括從晶片組之系統管理中斷接腳發出一系統管理中斷訊號至中央處理器；中央處理器即進入一系統管理模式並執行跳出一除錯操作視窗；選擇並執行各除錯項目；及於執行完畢時離開除錯操作視窗並回至中央處理器前之下一個待處理之指令；因此，由於操作此除錯操作窗執行各除錯項目後，中央處理器回至作業系統仍繼續執行除錯前的指令，故不會影響任何作業系統之狀態與程式執行，卻方便使用於任意時間完成各除錯項目。

伍、(一)、本案代表圖為：第\_\_ 2 \_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

#### 六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

### 【技術領域】

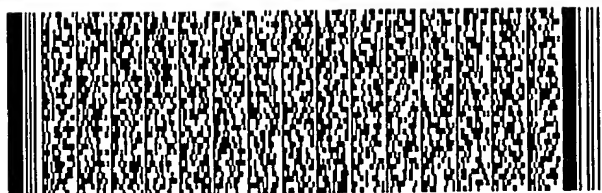
本發明係有關於一種除錯裝置及其方法，尤指一種不會影響作業系統之除錯裝置及其方法，為利用系統管理中斷訊號觸發除錯操作視窗，以進行各項除錯項目。

### 【先前技術】

於現今電腦系統中，由於系統設計者在主機板的設計及除錯階段時，常會面臨一些硬體上及軟體上的難題；對此，設計者則常會利用一些除錯引擎或者是軟體除錯程式來解決，如利用邏輯分析器 (Logical Analyzer, LA) 及 SCOPES 來擷取 PCI 處理週期及訊號波形，或者利用硬體 ICE 來捕捉中央處理器 (CPU) 的指令流程，又或者利用軟體 ICE 來捕捉作業系統的指令流程等等。

然而，對此些硬體工具，即 LA, SCOPES, 硬體 ICE 等等，一般都非常昂貴，且其操作流程亦皆非常複雜，非常不符合使用者介面的需求；而在其他方面，如利用軟體 ICE 工具程式等來執行除錯工作時，雖非如硬體工具的昂貴，但亦不便宜，且其使用限定則只在作業系統開機階段，然而尚有許多其他錯誤 (bug) 在其設定完成前可能發生；再者，利用軟體 ICE 工具程式等來執行除錯工作時，常會改變作業系統的執行程序，其更容易因此而造成系統產生其他不可預估的錯誤，如此其使用並非有效率的選擇。

因此，發展一種有效率且低成本的除錯工具來使系統設計更方便，除錯過程更簡單，即為本發明首要解決之課



## 五、發明說明 (2)

題。

### 【發明內容】

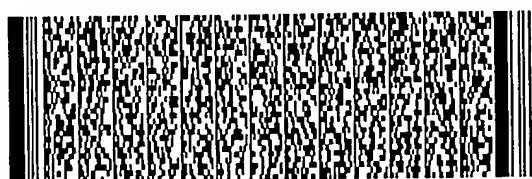
有鑑於此，本發明之主要目的係在提供一種除錯裝置及其方法，係於BIOS之系統管理模式區塊中存一除錯工具程式，此除錯工具程式可利用系統管理中斷訊號觸發，達到任一時間執行除錯的目的。

本發明之次要目的係在提供一種除錯裝置及其方法，係利用除錯工具程式來顯示除錯操作視窗，以方便選擇並執行各除錯項目，達到簡化並方便使用之目的。

本發明之又一目的係在提供一種除錯裝置及其方法，由於在執行各項除錯項目後，其中央處理器便會回到除錯前之下一個待處理之指令，如此便不至於影響作業系統之執行程序，達到減少因執行除錯過程而產生其他錯誤之目的。

根據本發明的目的提出一種除錯方法，係利用於一電腦系統實施，其中該電腦系統包含有一中央處理器，連接一具系統管理中斷接腳之晶片組，此方法包括從晶片組之系統管理中斷接腳發出一系統管理中斷訊號至中央處理器；中央處理器即進入一系統管理模式並執行跳出一除錯操作視窗；選擇並執行各除錯項目；及於執行完畢時離開除錯操作視窗並回至該中央處理器前之下一個待處理之指令。

根據本發明的目的提出一種除錯裝置，包含有一中央



### 五、發明說明 (3)

處理器連接有至少一記憶體；及一晶片組，且該晶片組設有至少一系統管理中斷接腳，此接腳連接至中央處理器。

其中與中央處理器連接之記憶體中設有一系統管理模式區塊，且該系統管理模式區塊內存有一除錯工具程式，此除錯工具程式係以一除錯操作視窗顯示。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

在現今的中央處理器 (CPU) 中，如英特爾的奔騰 (Pentium 4) 或超微的 K8 皆有設定系統管理模式 (System Management Mode, SMM)，以讓使用者可藉由軟體，如 BIOS 等來控制管理電腦系統，且不會影響其作業系統

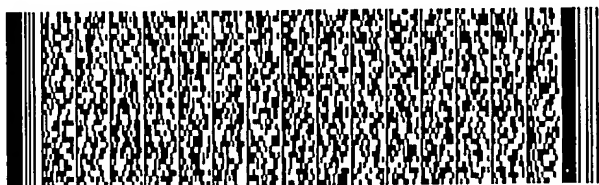
(Operation System, OS)。此系統管理模式 (SMM) 的可由系統管理中斷訊號 (System Management Interrupt, SMI) 來觸發，即當中央處理器接收到系統管理中斷訊號 (SMI#) 時，便可進入系統管理模式 (SMM) 來執行存於其中的設定程式。而於使用結束時，亦可利用重返指令 (resume instruction, RSM) 跳離系統管理模式返回作業系統。本發明便利用此特性，將一除錯工具程式存於 BIOS 之系統管理模式區間中，以供使用者使用。

請參閱第 1 圖及第 2 圖，為本發明本發明一較佳實施例之除錯裝置方塊示意圖及其除錯方法流程圖。如圖所示



#### 五、發明說明 (4)

，在此電腦系統中，其中央處理器10連接有一北橋晶片組12，而北橋晶片組12連接有一南橋晶片組14，且南橋晶片組14亦經由電路16連接至中央處理器10，其中此南橋晶片組包含有複數個通用出入接腳 (General Purpose Input/Output, GPIO pin)。於操作除錯時；首先，使用者需先選擇南橋晶片組14之通用輸出入接腳(GPIO)，來設定為可觸發南橋晶片組14發出系統管理中斷訊號(SMI#)，如此便可如步驟20所示，使用者可根據已設定之通用輸出入接腳來觸發南橋晶片14，使之發出系統管理中斷訊號(SMI#)，即如步驟22所示；接著，系統管理中斷訊號(SMI#)經由電路16至中央處理器20，中央處理器20收到系統管理中斷訊號(SMI#)後便進入系統管理模式(SMM)，此系統管理模式係設於DRAM的BIOS中，即BIOS中設有一區段空間為系統管理模式區間，而在系統管理模式區間中存有一預設之除錯工具程式，如此當中央處理器10進入系統管理模式後便會觸發此除錯工具程式，如步驟24所示；此除錯工具程式可利用除錯操作視窗來使使用者操作選擇各個除錯項目，包括存取輸出入(Access IO)、記憶體存取(Access Memory)、存取裝置組態(Access device configuration)及具特殊輸出入位址之陷阱設定 (Set trap for specific IO address)等，如步驟26所示；最後，當使用者操作完畢時，離開除錯操作視窗後，便回至中央處理器10前之下一個待處理之指令，執行其原來的程序(請參閱第3圖)，如步驟28所示。





## 五、發明說明 (5)

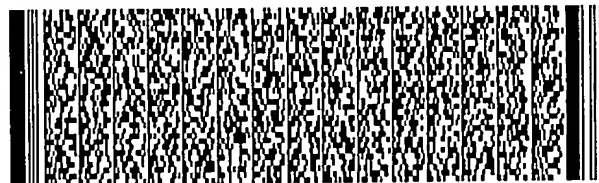
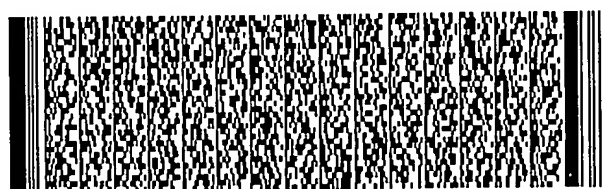
如第3圖所示，本發明執行程式操作之不具影響作業系統示意圖。當中央處理器執行程序30時，使用者於位址0100處觸發系統管理中斷訊號(SMI#)，而當使用者操作除錯工具程式32完畢後，系統便會為至中央處理器前之下一個待處理之指令位址，如位址0101，以繼續執行原來之所有程序。如此，便不會影響原先之作業系統程序之執行，亦可有效地降低使用除錯工具程式時所可能造成的錯誤(bug)。

當然，若使用者於執行除錯完畢後，其任意時間內，仍可觸發系統管理中斷訊號(SMI#)來執行除錯工具程式，而若使用者已於此次除錯過程中設定有陷阱位址(trap address)的話，則中央處理器執行到該位址時便會觸發系統管理中斷訊號(SMI#)以跳出除錯操作視窗，供使用者執行除錯，如重複步驟22至28。

如此，由於此除錯工具程式係設定於BIOS中，所以並不會對業者造成成本的影響外，其除錯操作視窗更可進一步程式化設計，以讓使用者更加方便使用；再加上不會影響作業系統，以產生可能的其他錯誤(bug)，本發明係為有效解決當前業者高成本低效率之除錯難題。

本發明上述實施例所揭露之一種除錯裝置及其方法，為利用系統管理中斷訊號觸發除錯操作視窗，以進行各項除錯項目，來使系統設計更方便，除錯過程更簡單，達到有效率且低成本的目的。

綜上所述，雖然本發明已以一較佳實施例揭露如上，

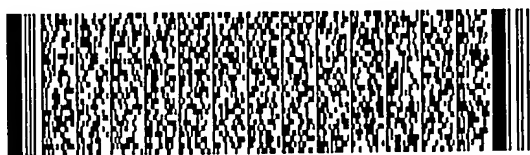


#### 五、發明說明 (6)

然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 圖號簡單說明：

- 10            中央處理器
- 12            北橋晶片組
- 14            南橋晶片組
- 16            電路



圖式簡單說明

第 1 圖：係本發明一較佳實施例之除錯裝置方塊示意圖；

第 2 圖：係本發明一較佳實施例之除錯方法流程圖；

第 3 圖：係本發明執行程式操作之不具影響作業系統示意圖。



## 六、申請專利範圍

1. 一種除錯方法，包括：  
發出一系統管理中斷訊號以觸發一除錯工具程式；  
利用該除錯工具程式執行各除錯項目；及  
離開該除錯工具程式並回歸至目前作業系統。
2. 如申請專利範圍第1項所述之除錯方法，其中該除錯工具程式係可設於BIOS之一系統管理模式中。
3. 如申請專利範圍第1項所述之除錯方法，其中該各除錯項目可包括有存取輸出入、存取記憶體、存取裝置組態及具特殊輸出入位址之陷阱設定。
4. 如申請專利範圍第1項所述之除錯方法，其中利用該除錯工具程式執行各除錯項目之步驟係可以一除錯操作視窗顯示操作。
5. 如申請專利範圍第4項所述之方法，其中該除錯操作視窗係可程式化設計者。
6. 一種除錯方法，該方法係利用於一電腦系統實施，其中該電腦系統包含有一中央處理器，連接一晶片組，該方法包括：  
從該晶片組發出一系統管理中斷訊號至該中央處理器；  
該中央處理器即進入一系統管理模式並執行跳出一除錯操作視窗；  
選擇並執行各除錯項目；及  
於執行完畢時離開該除錯操作視窗並回至該中央處理器前之下一個待處理之指令。



## 六、申請專利範圍

7. 如申請專利範圍第6項所述之除錯方法，其中該各除錯項目可包括有存取輸出入、存取記憶體、存取裝置組態及具特殊輸出入位址之陷阱設定。
8. 如申請專利範圍第6項所述之除錯方法，其中該除錯操作視窗係可程式化設計者。
9. 如申請專利範圍第6項所述之除錯方法，其中從該晶片組發出一系統管理中斷訊號至該中央處理器之步驟前，係為由一使用者利用該晶片組已設定之通用輸出入接腳來觸發該晶片組，以使其發出系統管理中斷訊號者。
10. 如申請專利範圍第6項所述之除錯方法，其尚包含一步驟於執行完畢時離開該除錯操作視窗並回至該中央處理器前之下一個待處理之指令後，該除錯操作視窗將於該使用者在一次觸發該晶片組時跳出以供操作。
11. 如申請專利範圍第6項所述之除錯方法，其尚包含一步驟於執行完畢時離開該除錯操作視窗並回至該中央處理器前之下一個待處理之指令後，該除錯操作視窗將於設定之陷阱位址時跳出以供操作。
12. 一種除錯裝置，該裝置包括：
  - 一中央處理器；及
  - 一晶片組，該晶片組連接至該中央處理器，且該晶片組設有至少一通用輸出入接腳。
13. 如申請專利範圍第12項所述之除錯裝置，其中該中央處理器尚連接有至少一記憶體。

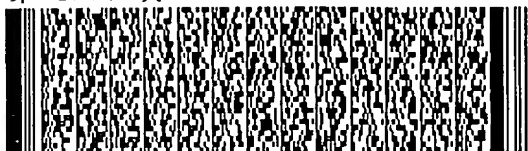


#### 六、申請專利範圍

- 14．如申請專利範圍第13項所述之除錯裝置，其中該記憶體設有一系統管理模式區間。
- 15．如申請專利範圍第14項所述之除錯裝置，其中該系統管理模式區間內存有一除錯工具程式。
- 16．如申請專利範圍第15項所述之除錯裝置，其中該除錯工具程式係具一除錯操作視窗顯示。
- 17．如申請專利範圍第12項所述之除錯方裝置，其尚包括一系統管理中斷訊號，該系統管理中斷訊號係可由使用者觸發該晶片組之該通用輸出入接腳而發出者。
- 18．如申請專利範圍第17項所述之除錯方裝置，其中該系統管理中斷訊號係可使該中央處理器進入該系統管理模式區間，並執行其中之該除錯工具程式。
- 19．如申請專利範圍第17項所述之除錯方裝置，其中該晶片組係為南橋晶片組。



第 1/13 頁



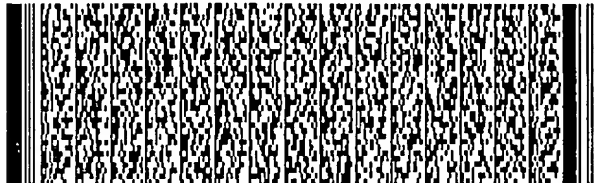
第 2/13 頁



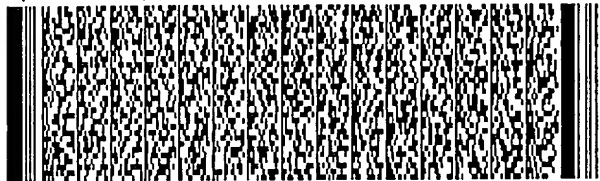
第 3/13 頁



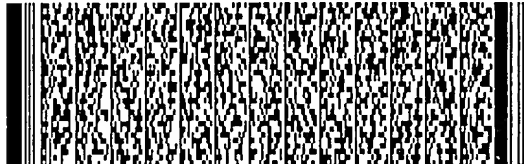
第 4/13 頁



第 4/13 頁



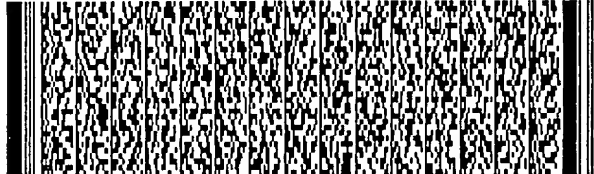
第 5/13 頁



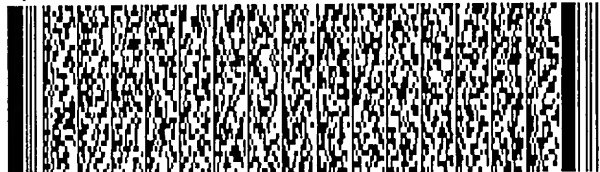
第 5/13 頁



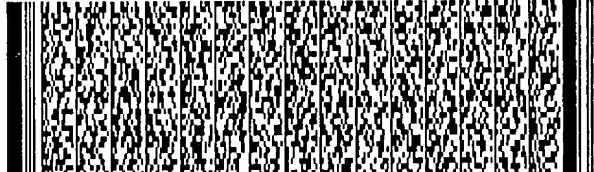
第 6/13 頁



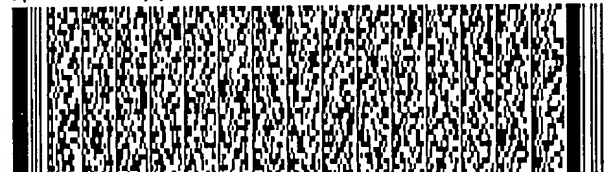
第 6/13 頁



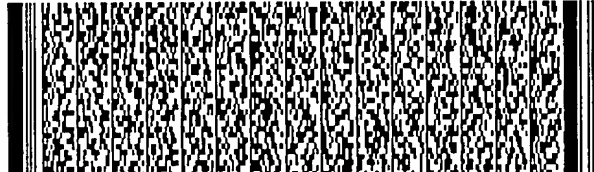
第 7/13 頁



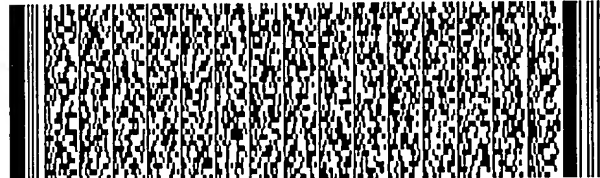
第 7/13 頁



第 8/13 頁



第 8/13 頁



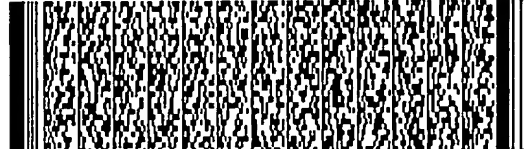
第 9/13 頁



第 10/13 頁



第 11/13 頁



第 11/13 頁



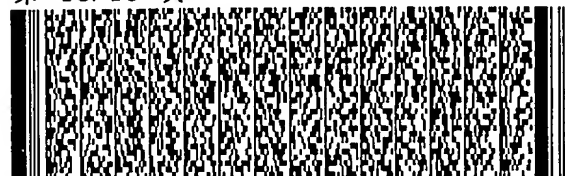
第 12/13 頁



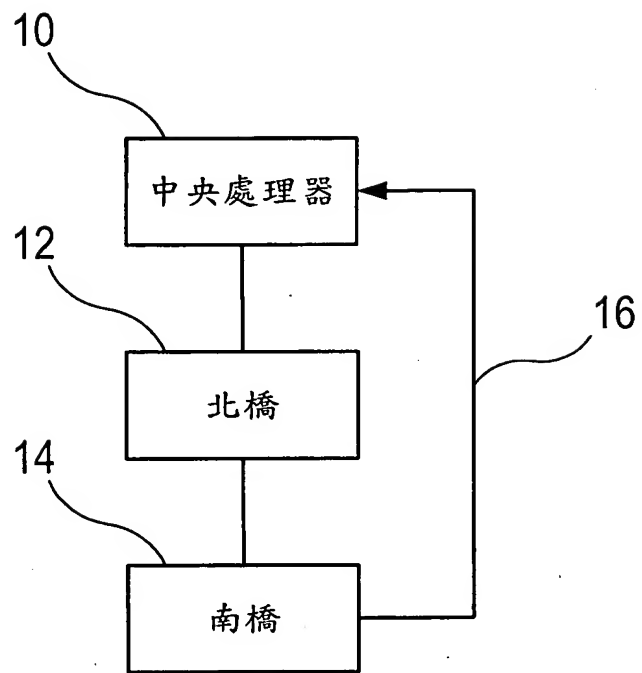
第 12/13 頁



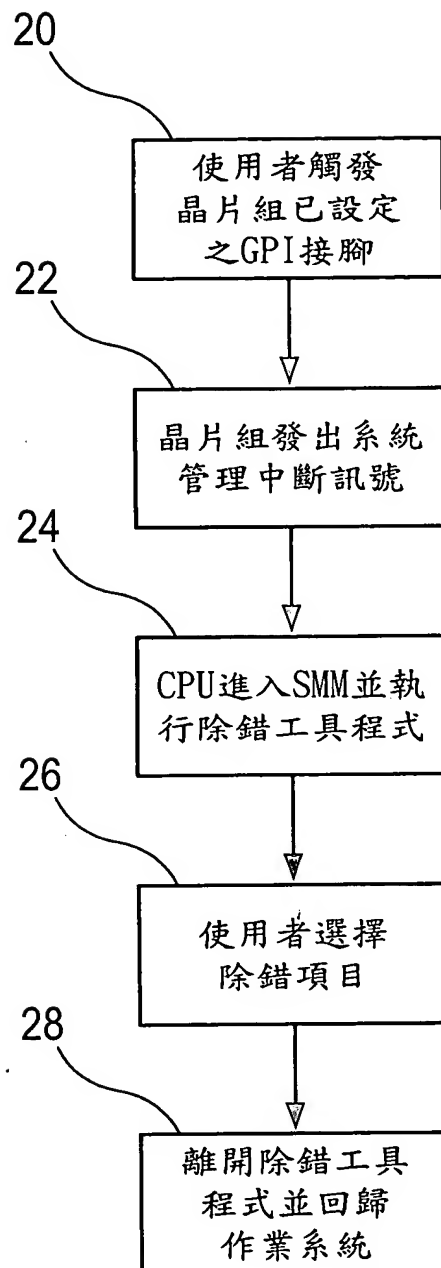
第 13/13 頁



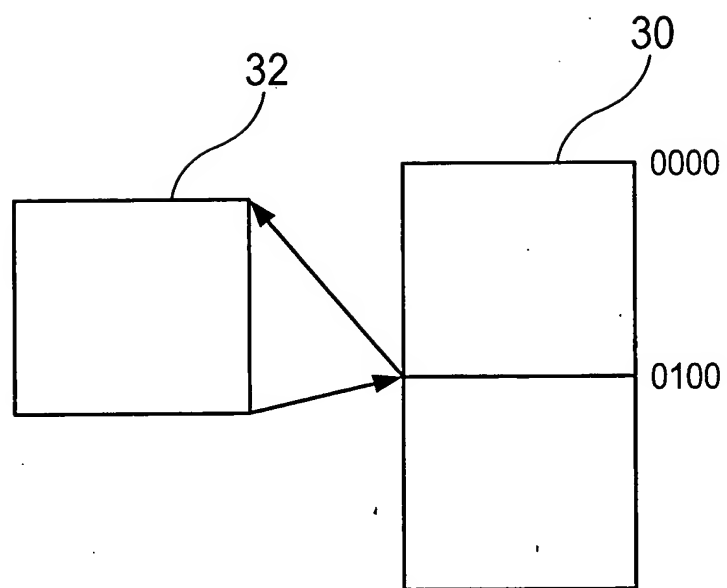




第 1 圖



第 2 圖



第 3 圖